

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-258244

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1343		G 0 2 F	1/1343
	1/133	5 5 0		1/133
	1/1333	5 0 5		1/1333

審査請求 未請求 請求項の数 8 O L (全 18 頁)

(21) 出願番号 特願平8-65771

(22) 出願日 平成8年(1996)3月22日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 笠井 勉

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72) 発明者 山田 薫

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(74) 代理人 弁理士 小川 勝男

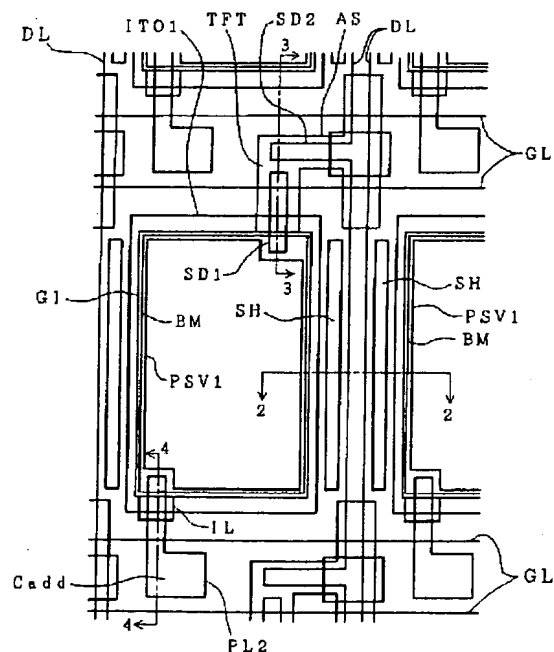
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 いわゆる点欠陥の発生を防止する。

【解決手段】 第1基板上に設けられた画素電極と、スイッチ素子と、該スイッチ素子を介して上記画素電極に映像信号を供給する映像信号線と、上記スイッチ素子に導通否導通を制御する走査信号を供給する走査信号線と、該走査信号線または映像信号線を覆う絶縁膜よりなる保護膜とよりなる液晶表示装置であって、上記画素電極と上記映像信号線の間に上記保護膜の開口部を設け、該開口部の領域内には映像信号線または走査信号線が存在しない。

図 1



【特許請求の範囲】

【請求項 1】 第 1 基板上に設けられた画素電極と、スイッチ素子と、該スイッチ素子を介して上記画素電極に映像信号を供給する映像信号線と、該映像信号線を覆う絶縁膜よりなる保護膜とよりなる液晶表示装置であつて、

上記画素電極と上記映像信号線の間に上記保護膜の開口部を設け、該開口部の領域内には映像信号線が存在せず、かつ上記画素電極の縁部は上記保護膜で覆われていることを特徴とする液晶表示装置。

【請求項 2】 第 1 基板上に設けられた画素電極と、スイッチ素子と、該スイッチ素子を介して上記画素電極に映像信号を供給する映像信号線と、上記スイッチ素子に導通否導通を制御する走査信号を供給する走査信号線と、該走査信号線を覆う絶縁膜よりなる保護膜とよりなる液晶表示装置であつて、

上記画素電極と上記走査信号線の間に上記保護膜の開口部を設け、該開口部の領域内には走査信号線が存在せず、かつ上記画素電極の縁部は上記保護膜で覆われていることを特徴とする液晶表示装置。

【請求項 3】 上記映像信号線は、透明な絶縁物からなる上記第 1 基板上に設けられた、不透明な金属膜からなり、上記画素電極の縁部は上記映像信号線と同じ材料からなる第 1 遮光膜で覆われ、該第 1 遮光膜は上記保護膜で覆われ、上記開口部の領域内には上記第 1 遮光膜が存在しないことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 4】 上記走査信号線は、透明な絶縁物からなる上記第 1 基板上に設けられた、不透明な金属膜からなり、上記画素電極の縁部は上記走査信号線と同じ材料からなる第 1 遮光膜で覆われ、該第 1 遮光膜は上記保護膜で覆われ、上記開口部の領域内には上記第 1 遮光膜が存在しないことを特徴とする請求項 2 記載の液晶表示装置。

【請求項 5】 上記第 1 基板に液晶層を介して対向する透明な第 2 基板上に、上記画素電極の周囲領域に設けられ上記スイッチ素子を遮光する第 2 遮光膜を設け、該第 2 遮光膜は平面的に上記保護膜の開口部を覆うことを特徴とする請求項 1 あるいは請求項 2 記載の液晶表示装置。

【請求項 6】 上記第 1 基板上に、上記映像信号線あるいは上記走査信号線に電氣的に接続される、端子を設け、該端子は上記保護膜から露出した透明導電膜よりなることを特徴とする請求項 1 あるいは請求項 2 記載の液晶表示装置。

【請求項 7】 上記第 1 基板上に、上記映像信号線に電氣的に接続される、ドレイン端子を設け、該ドレイン端子は上記保護膜から露出した金属膜よりなる金属部と、該金属部を覆う透明導電膜よりなることを特徴とする請求項 1 あるいは請求項 2 記載の液晶表示装置。

【請求項 8】 上記第 1 基板上に、上記走査信号線に電氣的に接続される、ゲート端子を設け、該ゲート端子は上記保護膜から露出した金属膜よりなる金属部と、該金属部を覆う透明導電膜よりなることを特徴とする請求項 1 あるいは請求項 2 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、いわゆるアクティブマトリックス方式の液晶表示装置に関する。

【0002】

【従来の技術】たとえばアクティブ・マトリックス型の液晶表示基板は、液晶を介して互いに対向配置される透明ガラス基板のそれぞれの液晶側の面に種々の材料を積層させることによって、マトリックス状に配置された各画素およびこれら各画素を動作させる電子回路が組み込まれて構成されている。

【0003】そして、このような液晶表示基板を製造する場合には、各透明ガラス基板を、それらの表面にそれぞれ所定のパターンからなる異なる材料層を順次積層させた後に対向配置させ、それらの間に液晶を封入するようにしている。

【0004】また、この場合におけるそれぞれのパターンからなる各材料層は、いわゆるフォトリソグラフィ技術を用いることによって形成し、これにより微細に加工された画素および電子回路が形成されるようになっている。

【0005】なお本発明に関連する出願としては特願平 7-39984 号があり、本願出願人により出願されている。

【0006】また画素電極の周囲に遮光膜を設けた公知例としては特開平 4-84125 号公報がある。

【0007】

【発明が解決しようとする課題】しかしながら、このようにして製造される従来の液晶表示装置は、上述したような所定パターンの種々の材料層を順次積層させていく過程において、パターンどおりに除去されない材料（通常は異物と称する）が往々にして残存してしまうことを免れ得なかった。

【0008】図 30 に従来の TFT 液晶表示装置の 1 画素のパターンを示す。なお、各層の符号は後述する実施例と同じであるので、説明を省略する。

【0009】図 30 の A-A' 断面を図 31 に示す。このパターンの場合、図 30 のように異物などが原因でドレイン線材料の A1 や Cr などの導電性物質が残ると、図 30 の B-B' 断面である図 32 に示すように、画素電極 ITO1-ドレイン線 DL 間ショートによりショートした画素は点欠陥となり画面表示不良を起こす。

【0010】本発明は、このような事情に基づいてなされたものであり、その目的は、いわゆる点欠陥の発生を

防ぐことのできる液晶表示装置を提供することにある。

【0011】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0012】手段1. 第1基板上に設けられた画素電極と、スイッチ素子と、該スイッチ素子を介して上記画素電極に映像信号を供給する映像信号線と、該映像信号線を覆う絶縁膜よりなる保護膜とよりなる液晶表示装置であって、上記画素電極と上記映像信号線の間に上記保護膜の開口部を設け、該開口部の領域内には映像信号線が存在せず、かつ上記画素電極の縁部は上記保護膜で覆われていることを特徴とする液晶表示装置。

【0013】手段2. 第1基板上に設けられた画素電極と、スイッチ素子と、該スイッチ素子を介して上記画素電極に映像信号を供給する映像信号線と、上記スイッチ素子に導通否導通を制御する走査信号を供給する走査信号線と、該走査信号線を覆う絶縁膜よりなる保護膜とよりなる液晶表示装置であって、上記画素電極と上記走査信号線の間に上記保護膜の開口部を設け、該開口部の領域内には走査信号線が存在せず、かつ上記画素電極の縁部は上記保護膜で覆われていることを特徴とする液晶表示装置。

【0014】手段3. 手段1記載の構成において、上記映像信号線は、透明な絶縁物からなる上記第1基板上に設けられた、不透明な金属膜からなり、上記画素電極の縁部は上記映像信号線と同じ材料からなる第1遮光膜で覆われ、該第1遮光膜は上記保護膜で覆われ、上記開口部の領域内には上記第1遮光膜が存在しないことを特徴とする液晶表示装置。

【0015】手段4. 手段2記載の構成において、透明な絶縁物からなる上記第1基板上に設けられた、不透明な金属膜からなり、上記画素電極の縁部は上記走査信号線と同じ材料からなる第1遮光膜で覆われ、該第1遮光膜は上記保護膜で覆われ、上記開口部の領域内には上記第1遮光膜が存在しないことを特徴とする液晶表示装置。

【0016】手段5. 手段1ないし手段2のうちいずれかの構成において、上記第1基板に液晶層を介して対向する透明な第2基板上に、上記画素電極の周囲領域に設けられ上記スイッチ素子を遮光する第2遮光膜を設け、該第2遮光膜は平面的に上記保護膜の開口部を覆うことを特徴とする液晶表示装置。

【0017】手段6. 手段1ないし手段2のうちいずれかの構成において、上記第1基板上に、上記映像信号線あるいは上記走査信号線に電気的に接続される、端子を設け、該端子は上記保護膜から露出した透明導電膜よりなることを特徴とする液晶表示装置。

【0018】手段7. 手段1ないし手段2のうちいずれかの構成において、上記第1基板上に、上記映像信号線

に電気的に接続される、ドレイン端子を設け、該ドレイン端子は上記保護膜から露出した金属膜よりなる金属部と、該金属部を覆う透明導電膜よりなることを特徴とする液晶表示装置。

【0019】手段8. 手段1ないし手段2のうちいずれかの構成において、上記第1基板上に、上記走査信号線に電気的に接続される、ゲート端子を設け、該ゲート端子は上記保護膜から露出した金属膜よりなる金属部と、該金属部を覆う透明導電膜よりなることを特徴とする液晶表示装置。

【0020】手段1に示した構成によれば、図1に示すように、ドレイン線DLと画素電極ITO1間の保護膜PSV1に、図2に示すような、開口部SHが設けられているので製造歩留りの良い生産性の高い液晶表示装置が提供される。

【0021】手段1に示した構成の場合、図8及び図8のD-D'線における断面である図9に示すように、異物等が原因でドレイン線DLの材料(Al, Si入りAl, Cr等の導電材料)が残ったとしても、ドレイン線DLと画素電極ITO1間の保護膜PSV1に開口部SHが開いているため、保護膜PSV1をマスクに導電材料(Al, Si入りAl, Cr等の導電材料)のエッチングを行えば図10、図11に示すようにソース、ドレイン電極SD2, SD1、付加容量電極PL1及びドレイン線DLは保護膜PSV1で保護され、E-E'線部分に示す開口部SH内の異物のみが除去されるので、画素電極ITO1-ドレイン線DL間ショートを修正出来る。

【0022】また図8のD-D'の部分にゲート材料が残ったとしても保護膜をマスクに導電材料のエッチングを行えば画素電極ITO1と隣接する画素電極ITO1間のショートを修正出来る。

【0023】従って点欠陥不良となる液晶表示装置を再生することが出来、生産性の良い液晶表示装置を提供することが出来る。

【0024】さらに画素電極の縁部は保護膜で覆われているので、保護膜の開口部SHの縁部は画素電極の外にあり、画素電極と保護膜の接着性の低下により、開口部SHの縁部から保護膜が剥離するのを防止することが出来る。

【0025】手段2に示した構成によれば、画素電極と走査信号線の間に保護膜の開口部を設け、該開口部の領域内には走査信号線が存在しないので、走査信号線を形成する際にパターン形成不良が起こり画素電極と走査信号線がショートしても、手段1と同様に保護膜をエッチングマスクとして開口部の画素電極と走査信号線がショートした箇所をエッチングすることができ、画素電極と走査信号線のショートに起因する不良TFT基板を再生することが出来、製造歩留りの良い生産性の高い液晶表示装置が提供される。

【0026】さらに画素電極の縁部は保護膜で覆われているので、保護膜の開口部の縁部は画素電極の外にあり、画素電極と保護膜の接着性の低下により、開口部の縁部から保護膜が剥離するのを防止することが出来る。

【0027】手段3に示した構成によれば、画素電極の縁部は映像信号線と同じ材料からなる第1遮光膜で覆われ、該第1遮光膜は保護膜で覆われ、該保護膜の開口部の領域内には第1遮光膜が存在しない構成なので、手段1に示した構成と同様の効果が得られると同時に、第1遮光膜が画素電極の周囲を黒くするブラックマトリックスの機能を持ち、表示コントラストを向上させる効果が得られる。

【0028】また第1遮光膜は画素電極と同じTFT基板上に設けられるので、第1遮光膜と画素電極の層間合わせ精度が良好となり、第1遮光膜と画素電極のオーバーラップマージンを少なくすることが出来、開口率が高く表示画面の明るい液晶表示装置を提供することが出来る。

【0029】手段4に示した構成によれば、画素電極の縁部は走査信号線と同じ材料からなる第1遮光膜で覆われ、該第1遮光膜は保護膜で覆われ、該保護膜の開口部の領域内には第1遮光膜が存在しない構成なので、手段1に示した構成と同様の効果が得られると同時に、第1遮光膜が画素電極の周囲を黒くするブラックマトリックスの機能を持ち、表示コントラストを向上させる効果が得られる。

【0030】また第1遮光膜は画素電極と同じTFT基板上に設けられるので、第1遮光膜と画素電極の層間合わせ精度が良好となり、第1遮光膜と画素電極のオーバーラップマージンを少なくすることが出来、開口率が高く表示画面の明るい液晶表示装置を提供することが出来る。

【0031】手段5に示した構成によれば、TFT基板上に液晶層を介して対向する透明な第2基板（対向基板）上に、設けられる該第2遮光膜は平面的に保護膜の開口部を覆っているため、上記保護膜の開口部で、ラビングにより十分に配向処理がなされないために発生する、液晶層の配向不良部分（ドメイン）を見えなくする効果があり、表示コントラストが向上する。

【0032】手段6に示した構成によれば、TFT基板上に、映像信号線あるいは走査信号線に電氣的に接続される、端子を設け、該端子は保護膜から露出した透明導電膜よりなる構成なので、上記保護膜の開口部に残った映像信号線あるいは走査信号線をエッチングにより除去する工程でそれらの端子も除去される問題が発生することがない。

【0033】手段7に示した構成によれば、TFT基板上に、映像信号線に電氣的に接続される、ドレイン端子を設け、該ドレイン端子は上記保護膜から露出した金属膜よりなる金属部と、該金属部を覆う透明導電膜よりな

るので、上記保護膜の開口部に残った映像信号線あるいは走査信号線をエッチングにより除去する工程でドレイン端子の金属部が除去されることがなく、しかもドレイン端子が金属部と透明導電膜の積層膜になっているので端子部の電気抵抗が低く外部回路と映像信号線の接続が良好になる。

【0034】手段8に示した構成によれば、TFT基板上に、走査信号線に電氣的に接続される、ゲート端子を設け、該ゲート端子は上記保護膜から露出した金属膜よりなる金属部と、該金属部を覆う透明導電膜よりなるので、上記保護膜の開口部に残った映像信号線あるいは走査信号線をエッチングにより除去する工程でゲート端子の金属部が除去されることがなく、しかもゲート端子が金属部と透明導電膜の積層膜になっているので端子部の電気抵抗が低く外部回路と走査信号線の接続が良好になる。

【0035】

【発明の実施の形態】本発明の目的および特徴は図面を参照した以下の説明から明らかとなるであろう。

【0036】〔実施例1〕

《アクティブ・マトリクス方式の液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下で説明する図面で、同一機能を有するものは同一符号を付け、その繰返しの説明は省略する。

【0037】《液晶表示モジュールの全体構成》図5は、液晶表示モジュールMDLの各構成部品を示す分解斜視図である。

【0038】SHDは金属板から成るシールドケース（メタルフレームとも称す）、WDは表示窓、INS1～3は絶縁シート、PCB1～3は回路基板（PCB1はドレイン側回路基板、PCB2はゲート側回路基板、PCB3はインターフェイス回路基板）、JN1～3は回路基板PCB1～3どうしを電氣的に接続するジョイナ、TCP1、TCP2はテープキャリアパッケージ、PNLは液晶表示パネル、GCはゴムクッション、ILSは遮光スペーサ、PRSはプリズムシート、SPSは拡散シート、GLBは導光板、RFSは反射シート、MCAは一体成型により形成された下側ケース（モールドケース）、LPは蛍光管、LPCはランプケーブル、GBは蛍光管LPを支持するゴムブッシュであり、図に示すような上下の配置関係で各部材が積み重ねられて液晶表示モジュールMDLが組み立てられる。

【0039】モジュールMDLは、下側ケースMCA、シールドケースSHDの2種の収納・保持部材を有する。絶縁シートINS1～3、回路基板PCB1～3、液晶表示パネルPNLを収納、固定した金属製シールドケースSHDと、蛍光管LP、導光板GLB、プリズムシートPRS等から成るバックライトBLを収納した下側ケースMCAとを合体させることにより、モジュール

MDLが組み立てられる。

【0040】《マトリクス部の概要》図1は本発明を適用したアクティブ・マトリクス方式のカラー液晶表示装置の液晶表示パネルの一画素とその周辺を示す平面図、図2は図1の2-2切断線における断面を示す図（隣り合う透明画素電極と映像信号線とを示す断面図）、図3は図1の3-3切断線における断面を示す図（一画素の薄膜トランジスタとその周辺を示す断面図）、図4は図1の4-4切断線における断面を示す図（保持容量素子の断面図）である。

【0041】図1に示すように、各画素は隣接する2本の走査信号線（ゲート線または水平信号線）GLと、隣接する2本の映像信号線（ドレイン線、データラインまたは垂直信号線）DLとの交差領域内（4本の信号線に囲まれた領域）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子（付加容量素子）Caddを含む。走査信号線GLは映像信号線DLとの交差付近で二俣に分岐している。これは、この部分の二俣のラインの内の一方が映像信号線DLと短絡した場合、これをレーザを用いて切断し、他の一方の（切断していない）ラインでライン欠陥とならず正常に動作させるためである。

【0042】ここで、この実施例では、特に、画素電極ITO1の縁部を覆って保護膜PSV1が形成されているが、この保護膜PSV1に該画素電極ITO1と隣接する映像信号線DLとの間にスリット状開口SHが形成されている。

【0043】このスリット状開口SHは、画素電極ITO1とこの画素電極ITO1に隣接する配線層（映像信号線DL）との間に付着された導電性の異物を除去するための開口であり、その除去方法については《製造方法》の項にて後述する。

【0044】なお本実施例では、このスリット状開口SHは、同図において、画素電極ITO1とドレイン線DLとの間のみに形成されているが、本発明はこれに限定されるものでなく、画素電極ITO1とゲート線GLとの間に形成してもよく、画素電極ITO1の周囲を全部露呈させるような形状でスリット状開口SHを形成してもよいことはいうまでもない。

【0045】図3に示すように、液晶層LCを基準にして第1の透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、第2の透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。透明ガラス基板SUB1、SUB2の両面にはディップ処理等により形成された酸化シリコン膜SIOが設けられている。

【0046】第2の透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（C

OM）および上部配向膜ORI2が順次積層して設けられている。POL1、POL2はそれぞれ透明ガラス基板SUB1、SUB2の外側の表面に形成された偏光板である。

【0047】PD1、PD2は視野角を拡大するための位相差フィルムであり、これを付けることにより垂直走査方向の視野角が45度から90度に、水平走査方向の視野角が90度から170度に広がる。

【0048】なお位相差フィルムについては「明るさを犠牲にせずに視野角を拡大できる液晶向けフィルムが登場」、日経マイクロデバイス、1996年1月号、頁167-頁169に記載がある。

【0049】《薄膜トランジスタTFT》次に、図1〜3を用いて、第1の透明ガラス基板SUB1側の構成を詳しく説明する。走査信号線GLに正のバイアス（走査信号）を印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアス（走査信号）をゼロにする、チャネル抵抗は大きくなるように動作する。

【0050】各画素には1個の薄膜トランジスタTFTが設けられている。薄膜トランジスタTFTは、図1に示すように、走査信号線GL上に形成されている。薄膜トランジスタTFTはゲート電極（走査信号線GL）、走査信号線GLの陽極酸化膜AOFと窒化シリコンの絶縁膜GIが被服されており、このAOFとGIがゲート絶縁膜を構成している。その上部にi型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（Si）からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0051】《ゲート電極（走査信号線GL）》本例では、走査信号線GLは、単層の第1導電膜g1で形成されている。第1導電膜g1としては例えばスパッタで形成されたアルミニウム（Al）膜が用いられ、その上にはAlの陽極酸化膜AOFが自己整合的に設けられている。

【0052】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFTにおいて、陽極酸化膜AOFと共に半導体層ASに走査信号線GLからの電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、120nm〜270nmの厚さに（本実施例では、220nm程度）形成される。絶縁膜GIは、本例では薄膜トランジスタTFT部分、保持容量Cadd、およびソース電極SD1、ドレイン電極SD2部分、および映像信号線DL部分に形成され、また、ドレイン電極SD2

および映像信号線DLの一部に沿った形状にパターンニングされている。

【0053】《i型半導体層AS》i型半導体層ASは、本例では薄膜トランジスタTFT部分、およびソース電極SD1、ドレイン電極SD2部分に形成され、ドレイン電極SD2および映像信号線DLの一部に沿った形状にパターンニングされている。半導体層ASは、非晶質シリコンで、20nm~220nmの厚さ（本実施例では、200nm程度）で形成される。層d0はオーミックコンタクト用のリン(P)をドーブしたN⁺型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d2(d3)が存在するところのみに残されている。

【0054】i型半導体層ASは走査信号線GLと映像信号線DLとの交差部、GLとソース電極SD1、ドレイン電極SD2および保持容量Caddの交差部における絶縁分離をするために陽極酸化膜AOF、絶縁膜GIと共に短絡に伴う線欠陥を低減する。また、ソース電極SD1下部から透明導電膜ITO1(d1)上に延在して、N⁺型非晶質シリコンd0、このi型半導体層AS、絶縁膜GIが形成されているが、これにより、後述するようにソース電極SD1が断線することなく透明導電膜ITO1(d1)に接続される。さらに、ソース電極SD1およびドレイン電極SD2が正常にパターンニングされず、走査信号線GL上に陽極酸化膜AOFのみの部分にこれらの電極が残った場合でも、陽極酸化膜AOF単膜でも所定の絶縁耐圧があり短絡が防止できる。これも本発明の特徴の一つである。

【0055】一方、本実施例では、走査信号線GLと映像信号線DLとの交差部、および薄膜トランジスタTFT部の映像信号線DL下部の半導体層ASおよび絶縁膜GIは透明画素電極ITO1上に延在し、映像信号線DLと透明画素電極ITO1を絶縁分離する役目を果たす。これも本発明の特徴の一つである。したがって、映像信号線DLと透明画素電極ITO1の距離を狭くして、高開口率で明るい液晶表示装置を構成しても、映像信号線DLと透明画素電極ITO1(d1)との短絡による点欠陥を防止できる。

【0056】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。透明画素電極ITO1は薄膜トランジスタTFTのソース電極SD1に接続されている。この透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、100nm~200nmの厚さに（本実施例では、140nm程度）形成される。

【0057】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N⁺型半導体層d0に接触する第2導電膜d2とそ

の上に形成された第3導電膜d3から構成されている。

【0058】第2導電膜d2はスパッタで形成したクロム(Cr)膜を用い、50~100nmの厚さに（本実施例では、60nm程度）で形成される。Cr膜はN⁺型半導体層d0との密着性を良好にし、第3導電膜d3のAlがN⁺型半導体層d0に拡散することを防止する（いわゆるバリア層の）目的で 사용되는。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi2、TiSi2、TaSi2、WSi2)膜を用いても良い。

【0059】第3導電膜d3はSi入りAlのスパッタリングで300~500nmの厚さに（本実施例では、300nm程度）形成される。Al膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、走査信号線GLに起因する段差乗り越えを確実にする（ステップカバレッジを良くする）働きがある。

【0060】上記ソース電極SD1およびドレイン電極SD2は第2導電膜d2および第3導電膜d3の積層膜であるが、比較的小型の液晶表示装置の場合Cr膜を初めとする高融点金属である第2の導電膜のみでも良い。その場合は膜厚を180nm程度に厚くする必要がある。

【0061】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターンニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N⁺型半導体層d0が除去される。つまりi型半導体層AS上に残っていたN⁺半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフアラインで除去される。このとき、N⁺型半導体層d0はその厚さ分はすべて除去されるようにエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0062】《映像信号線（ドレイン線）DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されるか、あるいは、第2導電膜d2のみで構成されている。

【0063】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも対湿性の良いものを使用する。保護膜PSV1は例えばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、600nm程度の膜厚で形成する。上記保護膜は一般にプラズマCVDを初めとする真空装置で形成するが、これはエポキシ樹脂を初めとする有機系材料の塗布で形成しても良くスループットが向上する。

【0064】そして、この保護膜PSV1は、たとえば

図1の2-2断面である図2に示すように、画素電極ITO1の周囲にスリット状開口SHが形成されていることが確認できる。

【0065】《遮光膜BM》第2の透明ガラス基板SUB2側には、外部光またはバックライト光がi型半導体層ASに入射しないように遮光膜BMが設けられている。図1に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは光に対する遮光性が高い例えばアルニウム膜やクロム膜等で形成されており、本実施例ではクロム膜がスパッタリングで130nm程度の厚さに形成される。

【0066】したがって、薄膜トランジスタTFTのi型半導体層ASのなかで少なくともソース電極SD1とドレイン電極SD2間のいわゆるチャネル領域には上下にある遮光膜BMおよび大き目の走査信号線GLによってサンドイッチされ外部の自然光やバックライト光が当たらなくなる。遮光膜BMは各画素の周囲に格子状に形成され（いわゆるブラックマトリクス）、この格子で一面素の有効表示領域が仕切られている。したがって、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0067】本発明においては遮光膜BMは保護膜PSV1の開口部SHを覆うように設けられている。従って開口部SHで発生する液晶層LCの配向不良は遮光膜BMに隠れて見えず、表示コントラストを低下することがない。

【0068】液晶層LCの配向は一般に配向膜ORI1を布を巻いたローラなどで擦る、所謂ラビング処理により行われる。

【0069】しかし、図2に示すように保護膜PSV1の開口部SHは深い溝になっているため、ラビング処理のローラが届かず、その部分の配向膜ORI1は十分な配向処理が行われない。

【0070】従って保護膜PSV1の開口部SHは配向不良が起りやすいので、その部分を遮光膜BMで覆い、透過光が漏れないようにする必要がある。

【0071】遮光膜BMは液晶表示パネルの周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図1に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3~1mmほど内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0072】《カラーフィルタFIL》カラーフィルタFIL（図2、3参照）は画素に対する位置に赤、緑、

青の繰返しでストライプ状に形成される。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大きめに形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0073】カラーフィルタFILは次のように形成することができるまず第2の透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0074】《保護膜PSV2》保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2は例えばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0075】《共通透明画素電極ITO2》共通透明電極ITO2（図2、3参照）は、第1の透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との電位差（電界）に依存して変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。本実施例では、コモン電圧Vcomは映像信号線DLに印加される最少レベルの映像信号Vdminと最大レベルの映像信号Vdmaxとの中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。

【0076】《保持容量素子Caddの構造》透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣の走査信号線GLと重なるように形成されている保持容量素子Caddの一方の電極PL2に電気的に接続されている。保持容量素子Caddは図4からも明らかなように、透明画素電極ITO1に接続されたソース電極SD1とドレイン電極SD2の材料である第2導電膜d2および第3導電膜d3の積層電極を一方の電極PL2とし、隣の走査信号線GLを他方の電極PL1としている。

【0077】この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される陽極酸化膜AOF、絶縁膜GIで構成されている。

【0078】《製造方法》次に、図6に図1に示す画素の3-3及び2-2断面、図7に平面を工程別に示す。なお、図6において、左の文字は工程名の略称であり、左側は図1の3-3断面形状を示す部分、右側は図1の2-2の断面形状でみた加工の流れを示す。工程Bを除き工程A~G工程は各写真（ホト）処理に対応して区分

けたもので、各工程のいずれの断面図もホト処理後の加工が終わりホトレジストを除去した段階を示している。なお、上記写真（ホト）処理とは本説明ではホトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰り返しの説明は避ける。以下区分した工程にしたがって、説明する。

【0079】工程A

7059ガラス（商品名）からなる第1の透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けた後、500℃、60分間のベークを行う。なお、このSIO膜はガラス基板SUB1の表面凹凸を緩和するために形成するが、凹凸が少ない場合省略できる工程である。

【0080】次に透明ガラス基板SUB1を洗浄する。膜厚が300nmのAl-Ta、Al-Ti-Ta、Al-Pd等からなる第2導電膜g2をスパッタリングにより設ける。ホト処理後リン酸と硝酸と水酢酸との混酸液で第1導電膜g1を選択的にエッチングし、薄膜トランジスタTFTのゲート電極（GL）および保持容量素子Caddの一方の電極PL1を形成する。

【0081】工程B

レジスト直描後（前述した陽極酸化パターンAO形成後）、3%酒石酸をアンモニアによりPH6.25±0.05に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1に浸せきし、化成電流密度が0.5mA/cmになるように調整する（定電流化成）。次に所定のAl₂O₃膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一なAl₂O₃膜を得る上で大事なことである。それによって、導電膜g1を陽極酸化され、走査信号線（ゲートライン）GLおよび保持容量素子Caddの一方の電極PL1（g1）上およびそれぞれの電極の側面に自己整合的に膜厚が175nmの陽極酸化膜AOFが形成され、薄膜トランジスタTFTのゲート絶縁膜の一部および保持容量素子Caddの誘電体膜となる。このときゲート電極GLの膜厚は175nm程度になる。

【0082】工程C

膜厚が140nmのITO膜からなる導電膜d1をスパッタリングにより設ける。ホト処理後、エッチング液として塩酸と硝酸の混酸液で導電膜d1を選択的にエッチングすることにより、ゲート端子GTM、ドレイン端子DTMの最上層、透明画素電極ITO1を形成する。

【0083】工程D

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚220nmの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が200nmのi型非晶質Si膜を設けたの

ち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して膜厚が30nmのN⁺型の非晶質Si膜を設ける。この成膜は同一CVD装置で反応室を変え連続して行う。

【0084】ホト処理後、ドライエッチングガスとしてSF₆、CCl₄を使用してN⁺型非晶質Si膜、i型非晶質Si膜をエッチングする。

【0085】工程E

次に、SF₆を使用して窒化Si膜をエッチングする。もちろん、SF₆ガスでN⁺型非晶質Si膜、i型非晶質Si膜および窒化Si膜を連続してエッチングしても良い。

【0086】工程F

膜厚が60nmのCrからなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が300nmのAl-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる第3導電膜d3をスパッタリングにより設ける。ホト処理後、第3導電膜d3を工程Aと同様な液でエッチングし、第2導電膜d2を硝酸第2セリウムアンモニウム溶液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。また、これと同時に保持容量素子Caddの他方の電極PL2を設ける。また、ゲート絶縁膜GIと電極PL2との間に、i型半導体層ASおよびN⁺型非晶質Si層d0から成る島状のパターンILを設けるので、ゲート絶縁膜GIの側壁がテーパー状のスローブを持ち電極PL2がゲート絶縁膜GIを乗り越える部分で、電極PL2が断線する確率が低下する。

【0087】つぎに、ドライエッチング装置にSF₆、CCl₄を導入して、N⁺型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN⁺型半導体層d0を選択的に除去する。

【0088】工程G

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が600nmの窒化Si膜を設ける。その後ホトレジストを塗布し、露光現像処理後、ドライエッチングガスとしてSF₆を使用しエッチングすることにより、保護膜PSV1をパターン形成する。

【0089】この時点で保護膜PSV1に開口部SHのパターンを形成する。

【0090】保護膜としてはCVDで形成したSiN膜のみならず有機材料を用いたものも使用できる。

【0091】工程H

次に、このように保護膜PSV1を形成した後、本実施例では、図10ないし図11に示す導電膜エッチング工程を経るようにしている。この理由は、画素電極ITO1とこの画素電極ITO1に隣接する配線層（走査信号線GLあるいは映像信号線DL）との間に導電性の異物（半導体層ASの残存物も含む）が付着して該画素電極ITO1にいわゆる点欠陥が発生するのを製造段階にお

いて未然に防止するためである。

【0092】図8は、保護膜PSV1の形成後における図であるが、ここで、最悪の状態として、画素電極ITO1は図中右側に隣接する映像信号線DLとの間に金属膜からなる異物A（本実施例ではSi入りAlとCrの積層膜）が付着しておりこれにより該映像信号線DLと電氣的短絡を生じさせているとする。図8のD-D'断面を図9に示す。

【0093】なお、この時点で製造者はこの異物の存在を認識しておく必要はない。異物の存在を前提として導電膜エッチング工程（工程H）を経るからである。

【0094】まずリン酸と硝酸と水酢酸との混酸液で異物として残ったAlからなる第3導電膜d3を選択的にエッチングし、次に硝酸第2セリウムアンモニウム溶液でエッチングし異物として残ったCrからなる第2導電膜d2を選択的にエッチングして、図11に示すように保護膜PSV1の開口部SHの領域内にある導電性異物を完全に除去する。

【0095】その後保護膜PSV1のパターンを形成したホトレジストマスクを剥離する。

【0096】このように保護膜PSV1のパターンを形成したホトレジストマスクを導電膜エッチング工程（工程H）まで残しておくことにより、導電膜のエッチング液やエッチングガスにより保護膜が荒らされるのを防止することが出来る。

【0097】なお保護膜と導電膜のエッチングの選択性が取れる場合は、保護膜PSV1のパターン形成工程（工程G）の時点でホトレジストマスクを剥離してから導電膜エッチング工程（工程H）を行ってもよい。

【0098】この導電膜エッチング工程（工程H）を経ることによりドレイン線DLと画素電極ITO1が電氣的に分離され、ドレイン線DLと画素電極ITO1のショートが原因で点欠陥不良になる液晶表示装置が再生されて、点欠陥不良のない良品の液晶表示装置となる。

【0099】また、図1及び図2に示すように保護膜PSV1は画素電極ITO1の縁部を覆っているので、保護膜PSV1と画素電極ITO1の接着性が良好でない場合でも、保護膜PSV1は画素電極ITO1の外で基板SUB1に密着し剥離することがない。

【0100】《端子の構造》本発明を実施するに当たっては外部回路との電氣的接続を図る端子についても配慮する必要がある。

【0101】端子は保護膜PSV1から露出しているため、本発明を実施するに当たっては、導電膜エッチング工程（工程H）で除去されないような構造にする必要がある。

【0102】図12は保護膜形成工程時（工程G）のゲート端子GTMの構造を、その時の保護膜の開口部SH近辺の構造と比較して示した図である。

【0103】この後導電膜エッチング工程（工程H）を

経ることによりドレイン線DLと画素電極ITO1が電氣的に分離される。

【0104】本発明では図12に示すように、ゲート線GLに電氣的に接続されるゲート端子GTMを画素電極と同じ透明導電膜d1で形成している。従って透明導電膜はドレイン線DLやゲート線GLの材料である金属膜に対してエッチング選択性があるので、導電膜エッチング工程（工程H）において除去される問題が無い。

【0105】また本発明では図12に示すようにゲート端子GTMは透明導電膜とゲート線GLの材料である金属膜g1の積層構造になっている。従って透明導電膜のみでゲート端子GTMを形成した場合に比べ電気抵抗を下げる事が出来、外部回路との電氣的接続が良好になる。しかも金属膜g1は透明導電膜d1により覆われていて露出している部分がないので、導電膜エッチング工程（工程H）において除去される問題も無い。

【0106】また以上に述べたことはドレイン線DLに電氣的に接続されるドレイン端子DTMについても同様のことが言える。

【0107】図13は、図12と同様に、保護膜形成工程時（工程G）のドレイン端子DTMの構造を、その時の保護膜の開口部SH近辺の構造と比較して示した図である。

【0108】ドレイン線DLはゲート絶縁膜GIが除去された部分でゲート線GLと同じ材料である金属膜g1と透明導電膜d1に電氣的に接続されている。そしてそれらの接続部分は保護膜PSV1により覆われている。従ってドレイン端子DTMの保護膜PSV1から露出して外気に触れる部分は透明導電膜d1よりなるので、導電膜エッチング工程（工程H）においてドレイン端子DTMが除去される問題が無い。またドレイン端子DTMも透明導電膜d1金属膜g1の積層構造になっているので端子の電気抵抗を下げる事が出来、外部回路との電氣的接続が良好になる。

【0109】〔実施例2〕

《マトリクス部の概要》図14は本発明の第2の実施例を説明するためのアクティブ・マトリクス方式液晶表示パネルの一画素とその周辺を示す平面図、図15は図14の2-2切断線における断面を示す図（隣り合う映像信号線と透明画素電極とを示す断面図）、図16は図14の3-3切断線における断面を示す図（一画素の薄膜トランジスタとその周辺を示す断面図）、図17は図14の4-4切断線における断面を示す図（保持容量素子部の断面図）である。なお図面の各層の符号は実施例1のマトリクス部と同じなので、説明は省略する。

【0110】本実施例は本発明を、製造工程を簡略化した液晶表示装置に適用した場合の一実施例である。本実施例では図14に示すように、TFTの半導体層ASとゲート絶縁膜GIの平面パターンがほぼ同一の形状となっている。従って半導体層ASとゲート絶縁膜GIのパ

ターン形成が同一の工程で行うことが出来（実施例 1 で言うところの工程 D）、実施例 1 で説明したゲート絶縁膜 G I のパターン形成工程（工程 E）が不要となり、製造工程が短縮される。

【0111】本実施例においても図 14、図 15 に示すように、画素電極 I T O 1 とドレイン線 D L の間の領域に、保護膜 P S V 1 の開口部 S H が設けられている。従って保護膜 P S V 1 の開口部 S H をマスクに導電性異物をエッチング除去することにより、画素電極 I T O 1 とドレイン線 D L の間のショートが修復することが出来る。

【0112】さらに本実施例によれば図 14、図 16 及び図 17 に示すように、画素電極 I T O 1 とゲート線 G L の間の領域にも、保護膜 P S V 1 の開口部 S H が設けられている。従って保護膜 P S V 1 の開口部 S H をマスクに導電性異物をエッチング除去することにより、画素電極 I T O 1 とゲート線 G L の間のショートが修復することが出来る。なお本実施例によればゲート線 G L は陽極酸化膜 A O F で覆われているので、画素電極 I T O 1 とゲート線 G L が導電性の異物でショートする可能性は少ない。しかし極希に陽極酸化膜 A O F にピンホールが開いていて、その部分に導電性の異物が存在していた場合には点欠陥不良を生じるので、そのような不良を防止する効果はある。

【0113】画素電極 I T O 1 とゲート線 G L の間の保護膜 P S V 1 の開口部 S H も液晶層 L C の配向不良が起こるので、図 16 及び図 17 に示すように、第 2 の透明ガラス基板 S U B 2 側の遮光膜 B M 1 で開口部 S H を覆っている。

【0114】《T F T 基板側遮光膜 B M 2》本実施例ではまた図 14、図 15 に示すように、第 1 の透明ガラス基板（T F T 基板）S U B 1 の画素電極 I T O 1 の周縁部に、不透明導電膜からなる、T F T 基板側遮光膜 B M 2 が設けられている。

【0115】この T F T 基板側遮光膜 B M 2 は画素電極の周囲を黒くするブラックマトリックスの機能を持ち、表示コントラストを向上させる効果が得られる。

【0116】またこの T F T 基板側遮光膜 B M 2 を設けることにより液晶表示装置の開口率を向上することが出来る。

【0117】従来、第 1 の透明ガラス基板 S U B 1 と第 2 の透明ガラス基板 S U B 2 の合わせ裕度は片側で 5 μ m 以上必要であったのに対し、第 1 の透明ガラス基板 S U B 1 上の画素電極 I T O 1 と他の導電膜、例えばドレイン線 D L を形成する d 2、d 3 間の合わせ裕度は、片側で 2 μ m 以内に抑えることが出来る。

【0118】従って本実施例では、第 2 の透明ガラス基板 S U B 2 側の遮光膜 B M 1 のみで画素電極 I T O 1 の周縁部を覆う場合に比べて画素電極 I T O 1 を余分に遮光する必要がなく、開口率が向上し表示画面が明るくな

る。

【0119】さらに本実施例では T F T 基板側遮光膜 B M 2 とドレイン線 D L の間には図 14、図 15 に示すように、保護膜 P S V 1 の開口部 S H が設けられているので、遮光膜 B M 2 とドレイン線 D L の間に導電性の異物が残っていたとしても、保護膜 P S V 1 をマスクにして開口部 S H 内の異物をエッチング除去することが出来るので、生産性の良い液晶表示装置が提供される。

【0120】さらに本実施例では遮光膜 B M 2 とドレイン線 D L を同層の金属膜で同時形成して製造工程を簡略化しても、遮光膜 B M 2 とドレイン線 D L のショートした部分は保護膜 P S V 1 の開口部 S H の部分で除去することが出来るので、生産性が飛躍的に向上する。

【0121】〔変形実施例〕本発明は上述した実施例に限定するものではなく様々な変形例が考えられる。

【0122】図 18 乃至図 29 は本発明の考える様々な変形例を説明するための図である。

【0123】各図に付された符号は実施例 1 のマトリクス部と同じなので、説明は省略する。

【0124】（変形例 1）図 18 は保護膜 P S V 1 の開口部 S H が画素電極 I T O 1 と平面的に重なっていて、画素電極 I T O 1 の端部が図 26 に示すように露出している場合を示す。しかし画素電極 I T O 1 のゲート線 G L に隣接する端部は図 23 に示すように保護膜 P S V 1 で覆われている。

【0125】（変形例 2）図 19 は保護膜 P S V 1 の開口部 S H が、図 24 に示すように画素電極 I T O 1 とドレイン線 D L 間のみならず、図 25 に示すように画素電極 I T O 1 とゲート線 G L にも設けられている場合を示す。

【0126】（変形例 3）図 20 は保護膜 P S V 1 の開口部 S H が、図 26 に示すように画素電極 I T O 1 とドレイン線 D L 間のみならず、図 27 に示すように画素電極 I T O 1 とゲート線 G L にも設けられている場合を示す。

【0127】（変形例 4）図 21 は保護膜 P S V 1 の開口部 S H が、図 28 に示すように画素電極 I T O 1 の全面に設けられている場合を示す。しかし画素電極 I T O 1 のゲート線 G L に隣接する端部は図 23 に示すように保護膜 P S V 1 で覆われている。

【0128】（変形例 5）図 22 は保護膜 P S V 1 の開口部 S H が、図 28 に示すように画素電極 I T O 1 の全面に設けられている場合を示す。さらに画素電極 I T O 1 のゲート線 G L に隣接する端部も図 29 に示すように保護膜 P S V 1 から露出している。

【0129】なお以上に説明した変形例は実施例 1 で説明した液晶表示装置と同じ製造方法で製造できる液晶表示装置を対象にしたものであるが、実施例 2 で説明した液晶表示装置に上述した各変形例の保護膜の開口部 S H を適用してもよく製造工程が簡略化される効果がある。

【0130】

【発明の効果】以上説明したことから明かなように、本発明による液晶表示装置によれば、いわゆる点欠陥が発生しても、欠陥を修復できる液晶表示装置を提供出来、生産性の良い液晶表示装置を提供することが出来る。

【図面の簡単な説明】

【図1】本発明が適用された液晶表示基板の一実施例を示す平面図である。

【図2】本発明が適用された液晶表示基板の一実施例を示す断面図で、図1の2-2断面に相当する。

【図3】図1の3-3断面における断面図である。

【図4】図1の4-4断面における断面図である。

【図5】本発明が適用された液晶表示装置の一実施例を示す分解斜視図である。

【図6】本発明の製造方法の一実施例を示す説明図で、工程A～Gを示した断面図である。

【図7】本発明の製造方法の一実施例を示す説明図で、工程A～Gを示した平面図である。

【図8】本発明を適用した液晶表示装置においてドレイン線と画素電極間に導電性の異物が存在する状況を説明する図である。

【図9】本発明を適用した液晶表示装置においてドレイン線と画素電極間に導電性の異物が存在する状況を説明する図であり、図8のD-D'断面における断面図である。

【図10】本発明を適用した液晶表示装置においてドレイン線と画素電極間に存在する導電性の異物を除去する工程（工程H）を説明する図である。

【図11】本発明を適用した液晶表示装置においてドレイン線と画素電極間に存在する導電性の異物を除去する工程（工程H）を説明する図であり、図10のE-E'断面における断面図である。

【図12】本発明の液晶表示装置に適用されるゲート端子の構造を、保護膜の開口部と比較して示した図である。

【図13】本発明の液晶表示装置に適用されるドレイン端子の構造を、保護膜の開口部と比較して示した図である。

【図14】本発明が適用された液晶表示基板の第2の実施例を示す平面図である。

【図15】本発明が適用された液晶表示基板の第2の実施例を示す断面図で、図14の2-2断面に相当する。

【図16】図14の3-3断面における断面図である。

【図17】図14の4-4断面における断面図である。

【図18】本発明が適用された液晶表示基板の第1の変形実施例を示す平面図である。

【図19】本発明が適用された液晶表示基板の第2の変形実施例を示す平面図である。

【図20】本発明が適用された液晶表示基板の第3の変形実施例を示す平面図である。

【図21】本発明が適用された液晶表示基板の第4の変形実施例を示す平面図である。

【図22】本発明が適用された液晶表示基板の第5の変形実施例を示す平面図である。

【図23】図18及び図21のa-a'断面における断面図である。

【図24】図19のb-b'断面における断面図である。

【図25】図19のc-c'断面における断面図である。

【図26】図18及び図21のd-d'断面における断面図である。

【図27】図20のe-e'断面における断面図である。

【図28】図21及び図22のf-f'断面における断面図である。

【図29】図22のg-g'断面における断面図である。

【図30】従来の液晶表示基板の画素部を示す平面図である。

【図31】従来の液晶表示基板の画素部を示す断面図で、図30のA-A'断面に相当する。

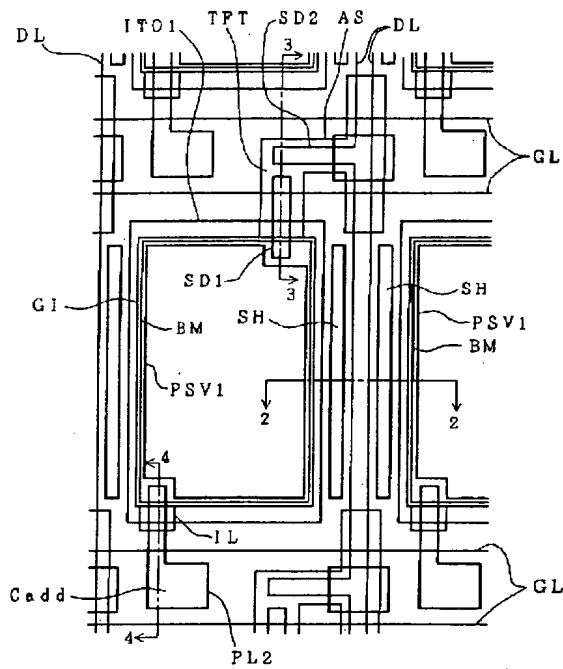
【図32】従来の液晶表示装置においてドレイン線と画素電極間に導電性の異物が存在する状況を説明する図であり、図30のB-B'断面における断面図である。

【符号の説明】

SUB1……第1の透明ガラス基板、SUB2……第2の透明ガラス基板、ITO1……画素電極、PSV1……保護膜、TFT……薄膜トランジスタ（半導体スイッチング素子）、SH……保護膜の開口。

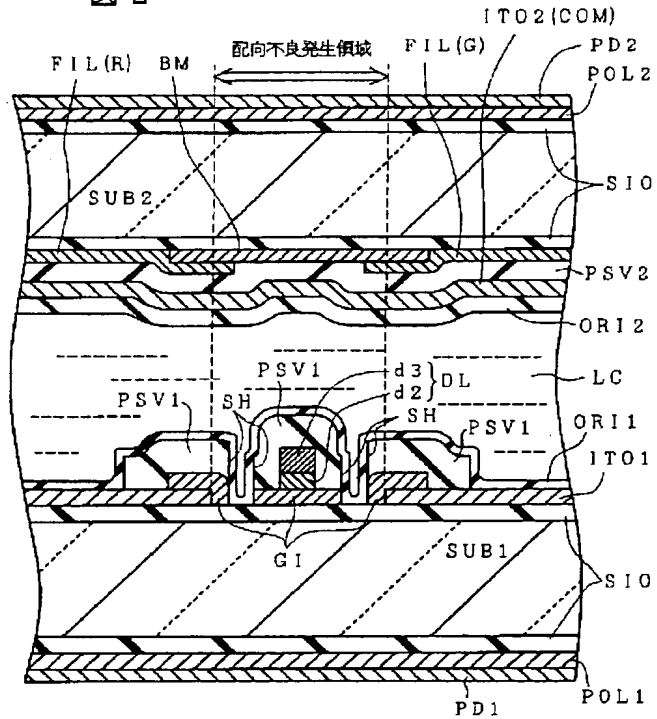
【図1】

図 1



【図2】

図 2



【図4】

【図3】

図 3

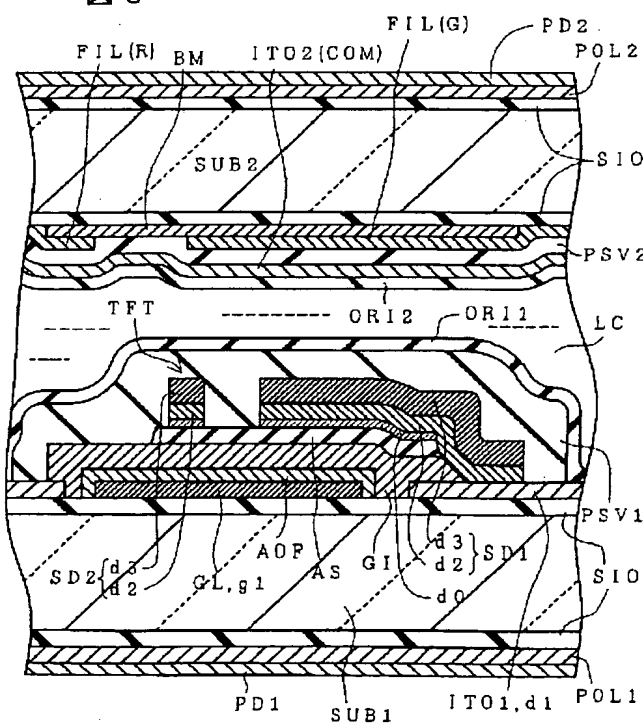
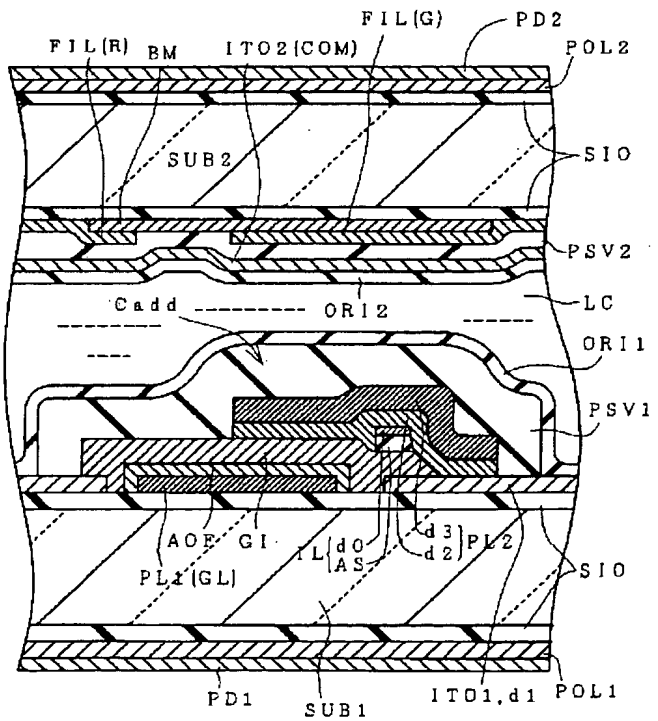
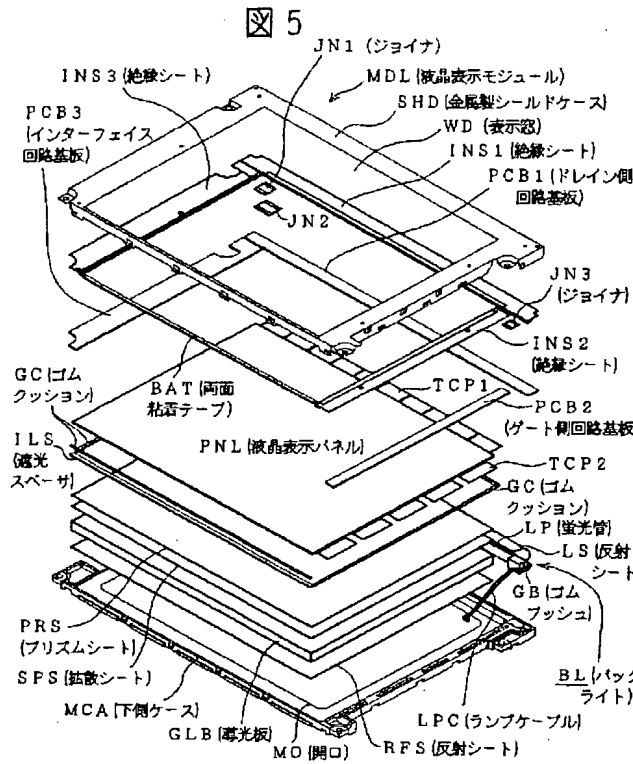


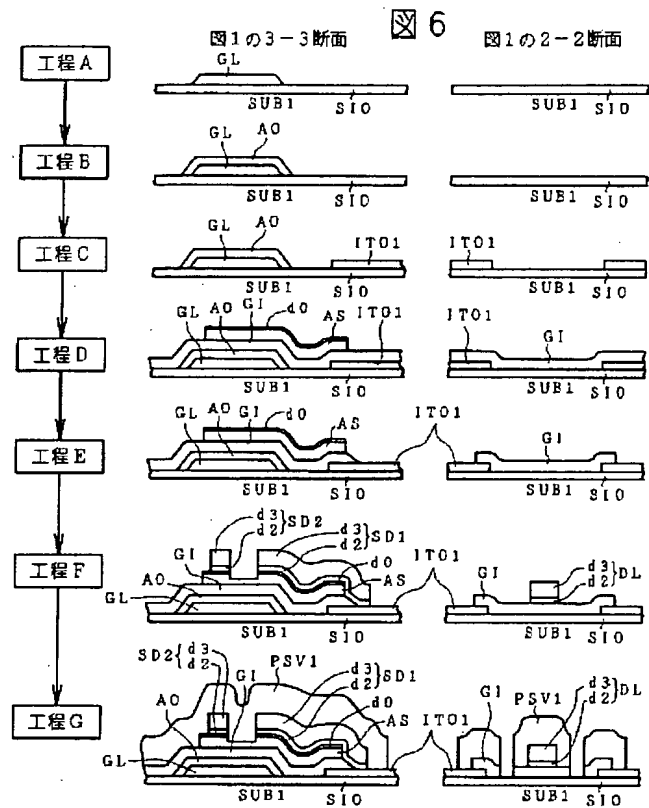
図 4



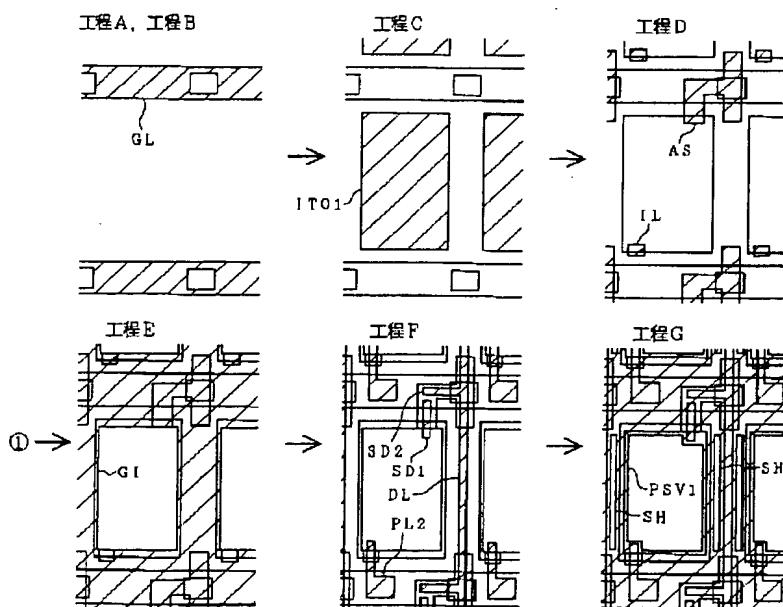
【図5】



【図6】

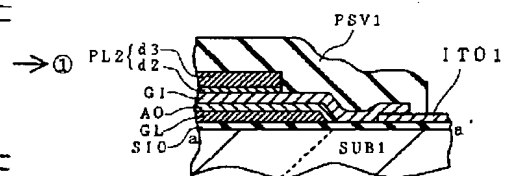


【図7】



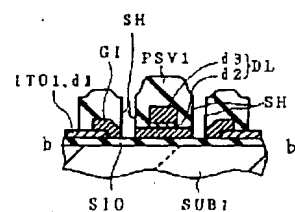
【図23】

図23



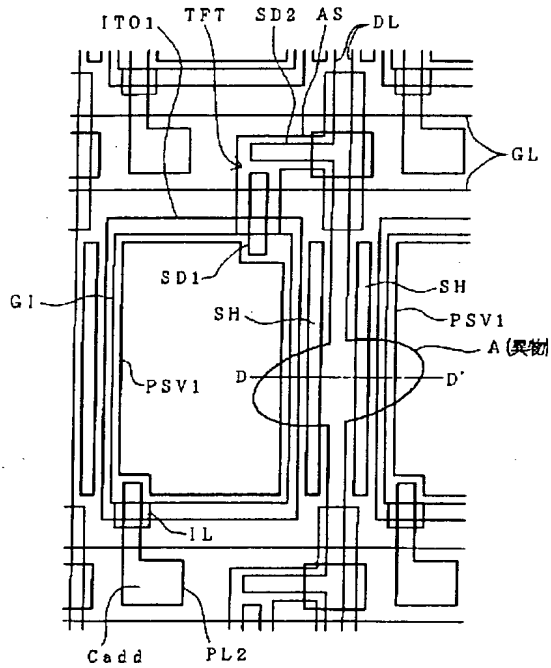
【図24】

図24



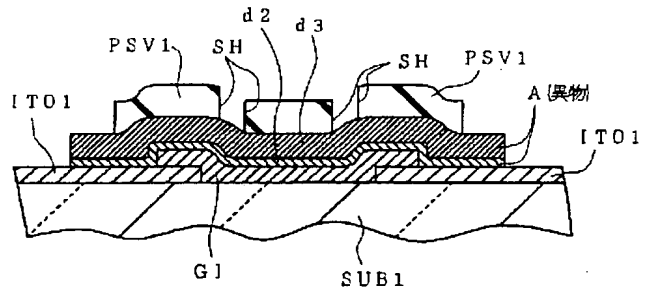
【図 8】

図 8



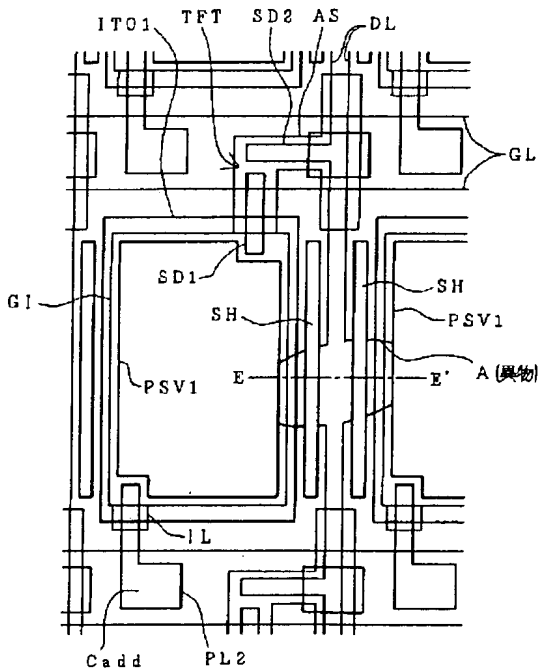
【図 9】

図 9



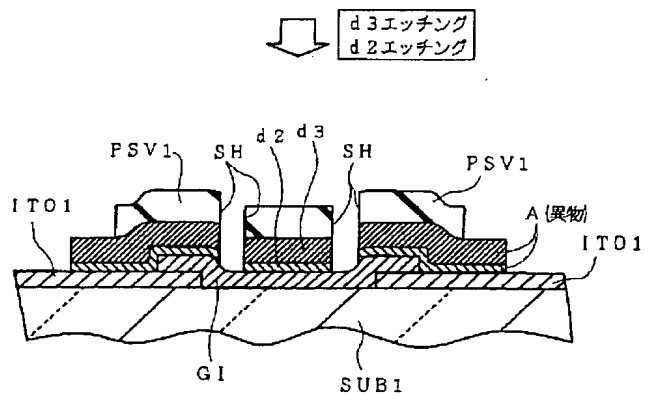
【図 10】

図 10



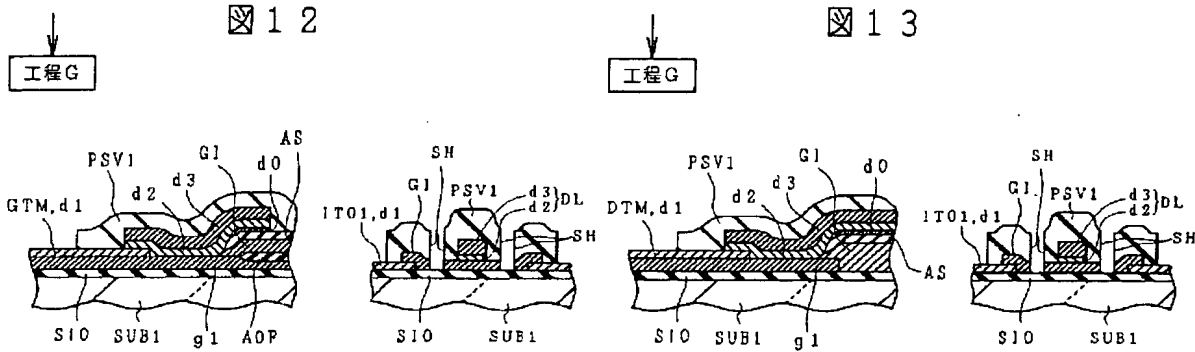
【図 11】

図 11



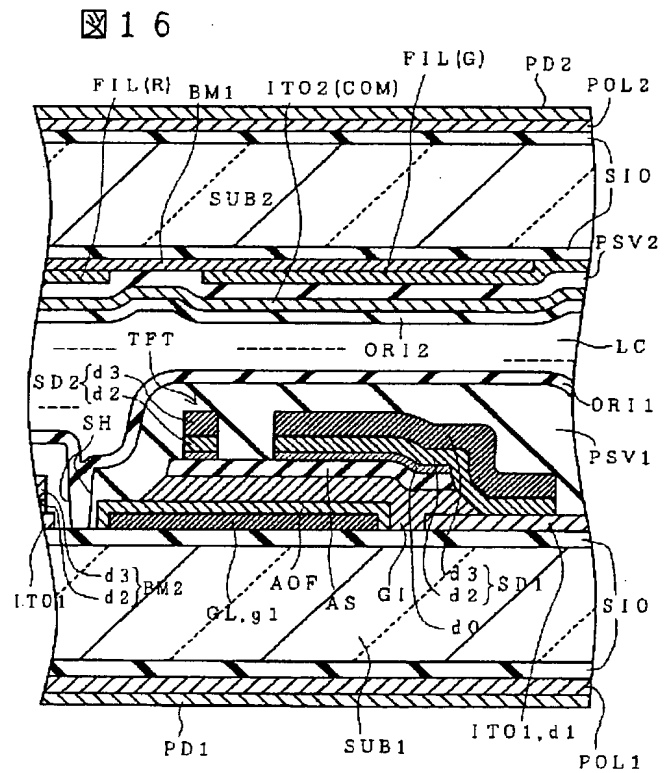
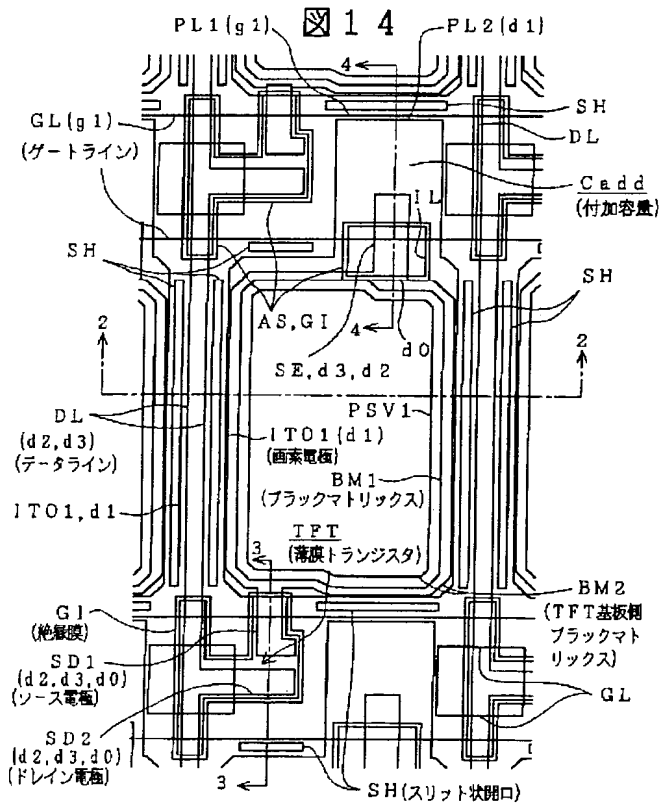
【図12】

【図13】



【図14】

【図16】



【図25】

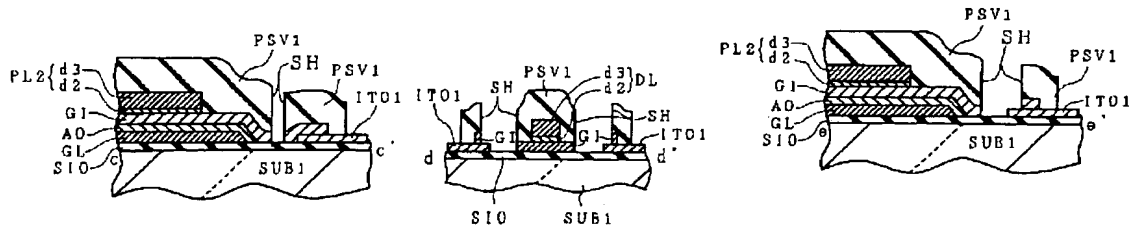
【図26】

【図27】

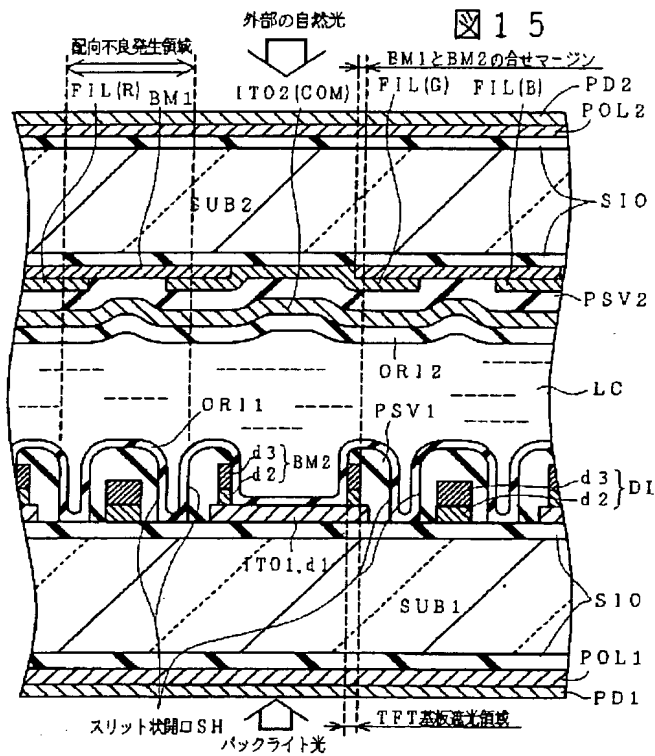
図25

図26

図27

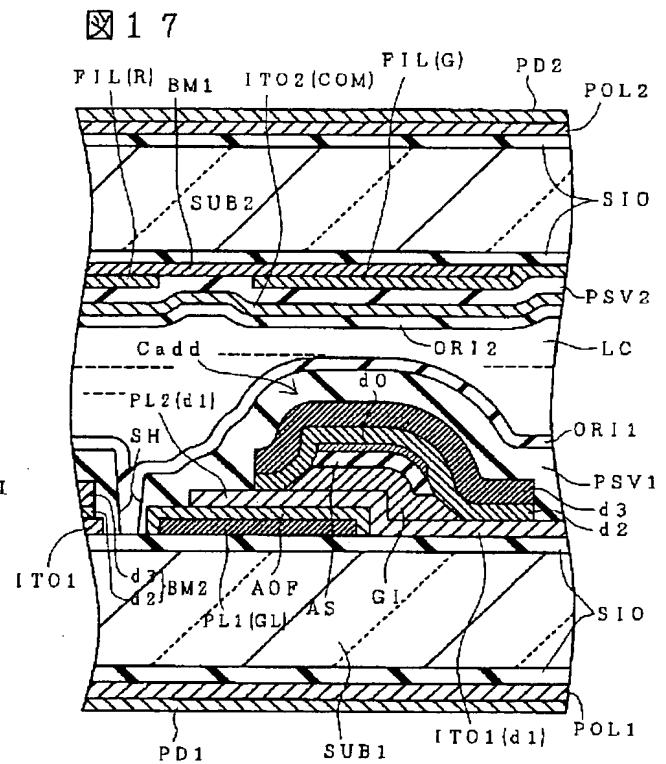


【図15】



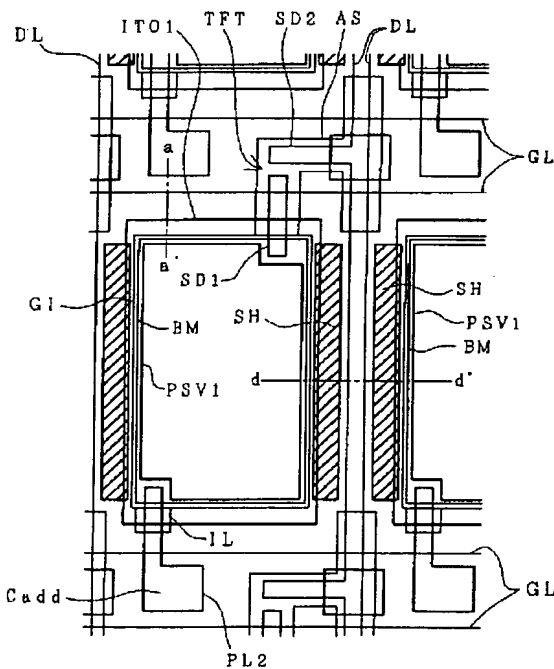
SUB1, SUB2: 透明ガラス基板 DL: 映像信号線
GI: 絶縁膜 ITO1: 透明画素電極

【図17】



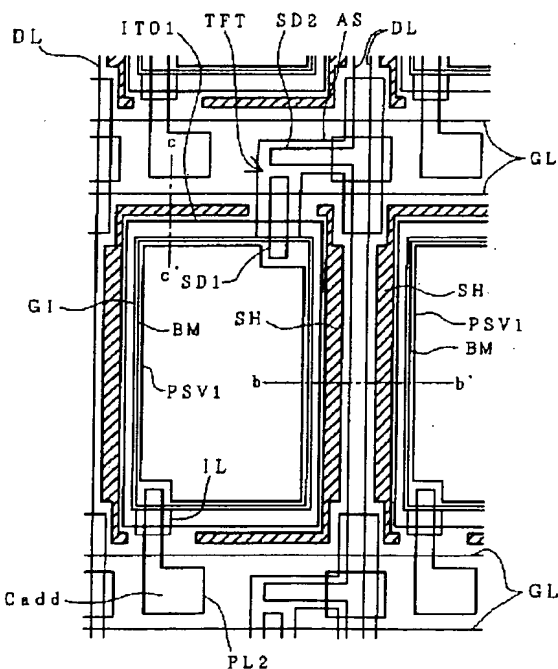
【図18】

図18



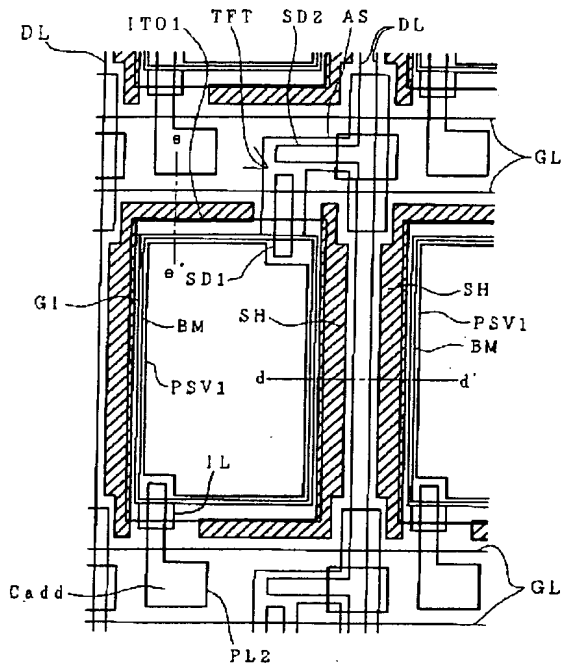
【図19】

図19



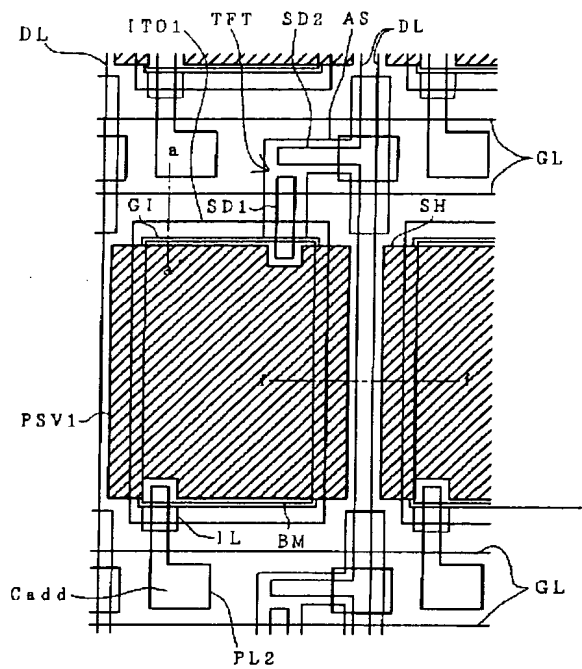
【図 20】

図 20



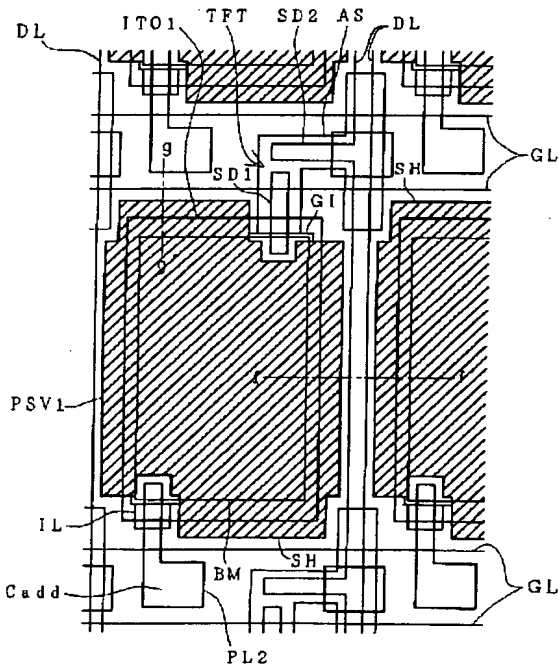
【図 21】

図 21



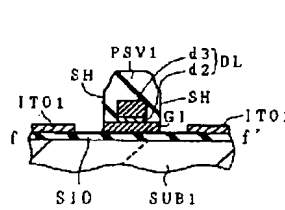
【図 22】

図 22



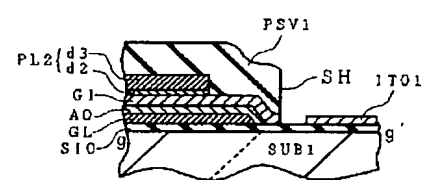
【図 28】

図 28



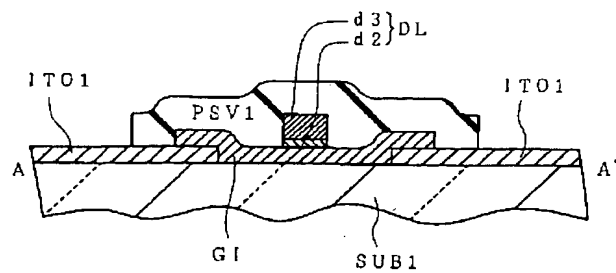
【図 29】

図 29



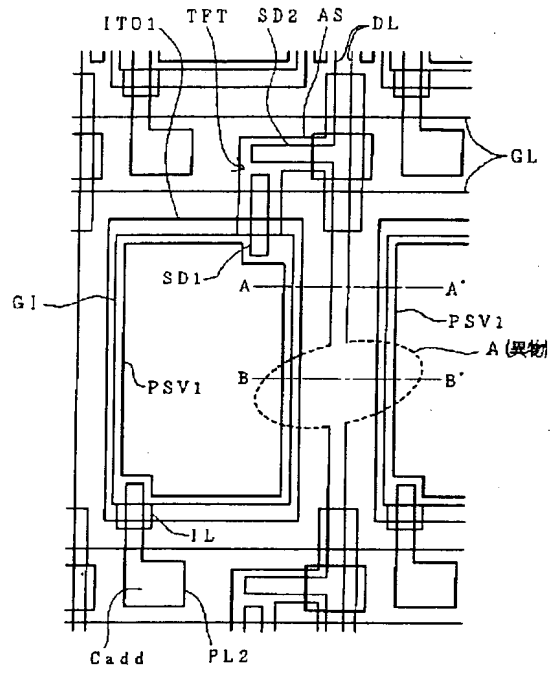
【図 31】

図 31



【図30】

図 30



【図32】

図 32

